

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-332583

(43)Date of publication of application : 02.12.1994

(51)Int.Cl. G06F 1/26
G06F 1/32
G06F 1/04

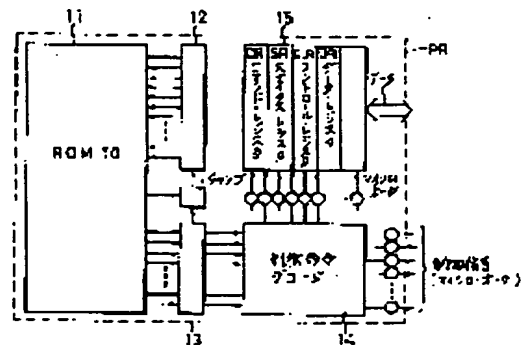
(21)Application number : 05-122976	(71)Applicant : SHARP CORP
(22)Date of filing : 25.05.1993	(72)Inventor : YOSHIDA YUKIHIRO

(54) POWER CONTROLLER FOR DIGITAL ELECTRONIC EQUIPMENT, PROCESSOR WITH THE POWER CONTROLLER, AND POWER MANAGEMENT SYSTEM FOR DIGITAL ELECTRONIC EQUIPMENT WITH THE PROCESSOR

(57)Abstract:

PURPOSE: To control the power of a digital electronic equipment by a logic system means by providing a control means which decodes the encoded power management instruction and outputs a control signal based on the decoded power management instruction.

CONSTITUTION: A program storage section 11 outputs an instruction program written in a ROM 10 based on the micro order from a control instruction decoder 14. An address counter 12 accesses to the ROM 10 and a control instruction register 13 stores the instruction program written in the ROM 10. The control instruction decoder 14 decodes the instruction stored in the register 13 and outputs the micro order to an I/O controller and a register group 15. The register group 15 is provided with a register storing the instruction and data of power management to be given to the individual control part PR of the CPU and the instruction and data of power management which is given to the individual instruction control part PR for I/O controller.



(19) 日本特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-332583

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl. ⁷	識別記号	片内記憶番号	P I	技術表示箇所
G 0 6 F 1/28				
1/32				
1/04	3 0 1 C	7105-5B	G 0 6 F 1/00	3 3 4 H
		7105-5B		3 3 2 B
		7105-5B		
審査請求 未請求 請求項の最 5 O L (全 45 頁) 最終頁に置く				

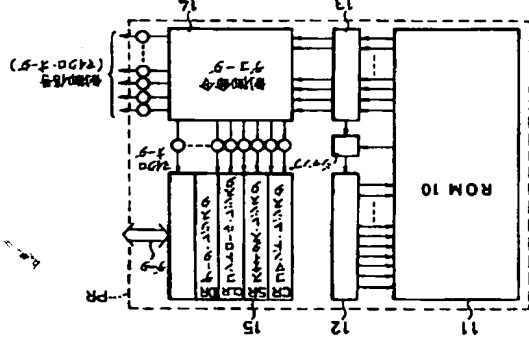
(21) 出願番号	特開平5-122878	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長崎町22番22号 吉田 孝弘 大塚府大塚市阿倍野区長崎町22番22号 シャープ株式会社内
(22) 出願日	平成5年(1993)5月25日	(72) 発明者	大塚府大塚市阿倍野区長崎町22番22号 シャープ株式会社内
		(70) 代理人	弁理士 川口 義雄 (外1名)

(54) 【発明の名】 デジタル電子機器用電力制御装置、該電力制御装置を備えた処理装置、及び処理装置を備えたデジタル電子機器用電力管理システム

(57) 【要約】

【目的】 システム全体の消費電力を低減でき、自由度が高いデジタル電子機器用電力管理装置を提供する。

【構成】 符合化された電力マネージメント命令を収容して記憶すると共に復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えている。



(2)

【特許請求の範囲】

【請求項1】 符合化された電力マネージメント命令を復号して記憶すると共に当該復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えていることを特徴とするデジタル電子機器用電力制御装置。

【請求項2】 電源を所定のモードに設定して当該設定されたモードに基づいて入出力を制御して消費電力を低減することを特徴とする請求項1に記載のデジタル電子機器用電力制御装置。

【請求項3】 請求項2に記載の処理装置の消費電力を所定の方法により制御してシステム全体の消費電力を低減することを特徴とするデジタル電子機器用電力管理システム。

【請求項4】 外部に設けられたマイクロ・コンピュータにより電源またはクロック周波数を制御して電力消費を低減させることを特徴とする請求項1に記載のデジタル電子機器用電力制御装置。

【請求項5】 請求項1に記載のデジタル電子機器用電力制御装置が複数のプログラム命令を有しており、該デジタル電子機器用電力制御装置がシステムを構成する中央処理装置及び各種入出力コントローラを備えており、該デジタル電子機器用電力制御装置の該複数のプログラム命令に基づいて該中央処理装置及び該各種入出力コントローラの電力制御を行って該システムの電力消費を低減することを特徴とするデジタル電子機器用電力管理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル電子機器に適用できる電力制御装置、該電力制御装置を備えた処理装置、及び該処理装置を備えたデジタル電子機器用電力管理システムに関する。

【0002】

【従来の技術】 一般に、パーソナルコンピュータ等のデジタル電子機器では、大きな小型化が進むと共に電池駆動の要求が多く、消費電力を極めて小さくできるシステムの開発が盛んに研究されている。

【0003】 特に、消費電力を極めて小さくするため、システムを構成している半導体デバイスの低消費電力化という物理的手段で消費電力を下げるだけでなく、システム設計によって消費電力を減らすという論理的手段で消費電力を下げることをできるシステムを構築することが重要になってきている。

【0004】 通常、デジタル電子機器は、それぞれが固有のデータ処理機能の特性を有している中央処理装置(CPU)、各種入出力(I/O)コントローラ、及び記憶装置(メモリ、バッファ等)によってシステム構成されており、従来のデジタル電子機器用電力管理装置は、1つのパワーコントローラによりCPU、各種I/O

コントローラ、及び記憶装置への電力供給を制御する集中パワーマネージメント方式を用いている。

【0005】

【発明が解決しようとする課題】 しかしながら、上述した従来のデジタル電子機器用電力管理装置では、CPUや各種I/Oコントローラの電力(パワー)を個々に制御することができず、無駄な電力を消費してしまうという問題点があった。また、従来のデジタル電子機器用電力管理装置では、ハードウェアに依存する部分とソフトウェア部分とにモジュール分割されたオペレーティング・システム(OS)のプログラムを形成するベising・インプットアウト・システム(BIOS)によるパワーマネージメントサポートを用いているので自由度が低いという問題点があった。

【0006】 本発明の第1の目的は、上記従来のデジタル電子機器用電力管理装置における問題点を鑑み、論理的システム手段によりデジタル電子機器の電力を制御できるデジタル電子機器用電力制御装置を提供することにある。

【0007】 また、本発明の第2の目的は、電力を個々に制御できる上記デジタル電子機器用電力制御装置を備えたCPUや各種I/Oコントローラ等の処理装置を提供することにある。

【0008】 更に、本発明の第3の目的は、上記デジタル電子機器用電力制御装置を備えたデジタル電子機器を構成するCPUや各種I/Oコントローラの電力を個々に制御してシステム全体の消費電力を低減でき、自由度が高いデジタル電子機器用電力管理システムを提供することにある。

【0009】

【課題を解決するための手段】 本発明の第1の目的は、符合化された電力マネージメント命令を復号して記憶すると共に復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えているデジタル電子機器用電力制御装置によって達成される。

【0010】 本発明の第2の目的は、電源を所定のモードに設定して記憶されたモードに基づいて入出力を制御して消費電力を低減するデジタル電子機器用電力制御装置を備えた処理装置によって達成される。

【0011】 本発明の第3の目的は、処理装置の電力を所定の方法により制御してシステム全体の消費電力を低減するデジタル電子機器用電力管理システムによって達成される。

【0012】 本発明の処理装置は、外部に設けられたマイクロ・コンピュータにより電源またはクロック周波数を制御して電力消費を低減させるように構成されてもよい。

【0013】 本発明のデジタル電子機器用電力管理システムは、デジタル電子機器用電力制御装置が複数のプログラム命令を有しており、デジタル電子機器用電力制御

(5)

た、リアルタイムクロックの最優先の割込を除いて、待機キー、復帰キー等のスペシャル・キー-SK（後述する）の割込をいつでも受付けることができる。

【0041】図4は、待機キー、復帰キー等のスペシャル・キー-SKや電源スイッチにより電源がフルパワー及びDCバイアスに変化したときの電圧の動作を示す。

【0042】この電圧の動作は、CPUや各I/Oコントローラの状態により、時間的にそれぞれ異なっているが、システムの状態によっては、CPUや各I/Oコントローラもシステムの電源動作と同一になる場合がある。

【0043】図5は、システムの移行を示す状態図である。システムには各種の割込が発生するが、それぞれの割込に優先順位をつける。優先順位はシステムのアプリケーションによって異なるが、本実施例では次のように設定する。

【0044】

優先順位1 リアルタイムクロックイベント
優先順位2 スペシャル・キー-SK入力（待機/復帰および）イベント

優先順位3 タイマイベント

優先順位4 通信イベント

優先順位5 メモリ転送（DMA）イベント

優先順位6 その他（同順位）イベント

本実施例では多重割込はないものとするが、多重割込を許すシステムでも、割込スタックレジスタを設けることにより、個別制御PRを用いた分散パワーマネージメント方式によるシステムを形成できる。

【0045】システムの状態には、電源投入時のシステムが初期化されるインチャイズの状態、システムが演算等を実行した後のディスプレイズ入力待ちを示す待機状態、システムがデータ処理中であることを示す実行状態、および上述した割込によって起る待機状態がある。

【0046】図5は、システムのイベントによる状態の変化を示す。

【0047】例えば、リアルタイムクロックは、最も優先度が高いが、時刻をいつでも表示するような場合、システムは常にリアルタイムクロックの割込要求を受け付け表示しなければならない。これは図5では待機イベントに相当する。また、時刻が何時何分になればシステムを非動作に設定するような場合は、図5では待機イベントに相当する。

【0048】通信イベントでは、受信データの受信要求は、システムとは常に非同期的に起り、割込優先度は高い方にもっとくるのが普通であるが、データ長が決まってくるので1フレームの受信とする。完全な受信は、受信要求をシステムが受ける。これは、図5では復帰イベントに相当する。

【0049】スペシャル・キー-SKによる入カイベントは、システムの利用者が人為的に、システムを待機状態

にした実行状態にしたりますキー-マカイベントであり、図5では待機イベント、復帰イベントに相当する。
【0050】タイマ・イベントは、システムが待機状態にあるとき、一定時間が経過すれば表示装置の表示を消すとか、システムを待機状態にするとか、待機状態から待機状態にする時間的なイベントである。
【0051】上述したことは状態遷移の一例であり、システムのアプリケーションによって多様なイベントがある。
【0052】システム全体及びシステムを構成するCPUや各I/Oコントローラは、それぞれの個別制御PRにより、待機イベントがあれば図5に示す待機状態（即ち、システムスタンバイ（DCバイアスモード））を生み出すことができる。
【0053】以下、本実施例のシステムに用いられている電力コントロール回路、CPU、各I/Oコントローラ、及び各メモリについて詳述する。

【0054】図6は、電力コントロール回路PCCの一例構成例を示す。

【0055】図6の電力コントロール回路PCCは、2つのトランジスタからなり、P1/Oのパワーコントロールポートから出力される信号A、Bが各トランジスタのベース入力端子T_A、T_Bにそれぞれ入力される。

【0056】なお、システムのアプリケーションによってトランジスタの数は変化する。また、トランジスタを個々に用いてもよいし、トランジスタをIC化して用いてもよい。

【0057】図7は、図6の電力コントロール回路PCCを用いたシステムの一構成例を示す。

【0058】図7に示すように、図6の電力コントロール回路PCCは、CPUや各I/Oコントローラにそれぞれ個々に接続されており、P1/Oのパワーコントロールポートから出力されるフルパワーにするためのコントロール信号AとDCバイアス・レベルにするための信号Bが2つのトランジスタのベースにそれぞれ入力され、CPUや各I/OコントローラをフルパワーまたはDCバイアスレベルに設定する。

【0059】パワーマネージメントによってCPUや各I/Oコントローラの電源をスイッチングする電力コントロール回路PCCは、B1-CMOS技術によってパワーコントロール部内に集積回路化して内蔵させることができる。

【0060】図8は、図6及び図7の具体的な構成を示す。

【0061】外部に設けられたパワー・コントロールとPCCの端子A₁、B₁とは、パワー・コントロールに含まれているトランジスタ回路部によって接続されており、オン電流、オフ電流は端子A₁、B₁とパワー・コントロールとの間を図8に示す方向にそれぞれ流れる。
【0062】図8に示すように、端子A₁、B₁にはト

(6)

ランジスタがそれぞれ配置されており、各端子A₁、B₁はパワー・コントロールに含まれているB1-CMOS集積回路に接続されている。

【0063】なお、図中、端子A₁、B₁は図6の端子A、Bにそれぞれ対応している。

【0064】図9及び図10は、個別制御PRを有する並列出力（P1/O）コントローラの一構成例を示す。

【0065】図9に示すように、P1/Oコントローラの個別制御PRから出力されたマイクロ・オーダは、P1/Oコントローラを構成する第1及び第2グループ・コントロール、コマンド・レジスタ、第1〜第4ポートの各制御ゲートCGに入力される。

【0066】次に、図10のP1/Oコントローラの個別制御PRに含まれている各レジスタの動作を説明する。

【0067】コマンド・レジスタやデコータ・レジスタには、システムの電源投入時P1/Oの個別制御PRが実行するパワーマネージメントの命令やデータが格納する表1の各モードを実行処理するためにコード化されて入力されている。

【0068】ステータス・レジスタには、個別制御PRがパワーマネージメントをしているステータスの情報があり、個別制御PR自体のコントロールによって入力される。このステータス情報は、パワーマネージメントを行っているか否かの情報、各モードの識別、及び各モードの処理の実行ステータスがコード化されている。

表-1 P1/Oのパワーマネージメントモード(M)

	インレ グ ラ フ	待 機	実行	待 機	Δ: 遷 移
クロックオン		○			
クロックストップ			Δ		○
マクソンスタートセーブ				○	
DCバイアスモード			Δ		○
タイムアウト			○		
パワーオン		○	○		
パワーオフ				○	
ディスプレイパワーオフ					○
バックライトパワーオフ	○				Δ

1印は電源がパワーオフではなく待機のパワーオフである。

【0077】ここで、表1の各項目を説明する。

【0078】クロックオンは、P1/O内のクロック周波数を復元設備設け、周波数を下げる。クロックストップは、P1/O内のクロックを停止させる。マクソンスタートセーブは、P1/O内の状態を一時記憶する。DCバイアスモードは、電源をコントロールしてP1/Oの電源をDCバイアスレベルにする（P1/Oの個別制御PRが実行）。タイムアウトは、設定されたタイムアウトになればP1/OはDCバイアスモードに入る（P

【0069】コントロール・レジスタには、タイムアウトの設定値やクロックダウン時の制御信号が入力されている。

【0070】P1/Oの個別制御PRは、各ポートのコントロール、各レジスタの入出力のコントロールに使用されるマイクロ・オーダを出力する。更に、P1/Oの個別制御PRは、後述する並列出力（S1/O）コントローラやリアル・タイム・クロック（RTC）等のシステムを構成するP1/O以外の構成部分の電源をコントロールするマイクロ・オーダをも出力する。

【0071】P1/Oコントローラは、CPUとバス接続されてプリンタインターフェイス等に用いられ、プログラマブルパラレルデータの入出力を行う。

【0072】図11は、P1/Oの状態の移行を示す。

【0073】図11に示すように、P1/Oの状態は、上述した図5のシステム全体の状態と同様であるが、時間的に異なる。

【0074】例えば、システムが実行状態にあってもプリンタ出力がないような状態であり、P1/Oは待機状態にある。

【0075】次に、システムの中で、各状態におけるP1/Oの個別制御PRが論理的に実行する物理的なパワーマネージメントの一例を表1に示す。これはシステムのアプリケーションにより異なる。

【0076】

【表1】

1/Oの個別制御PRが実行）。ディスプレイパワーオフは、表示の電源をコントロールして遮断する。バックライトパワーオフは、液晶表示（LCD）のバックライトの電源を遮断する等である。

【0079】図12及び図13は、個別制御PRを有する中央処理装置（CPU）の一構成例を示す。

【0080】図12に示すように、CPUの個別制御PRから出力されたマイクロ・オーダは、CPUを構成するレジスタ/論理演算装置（ALU）制御部に入力さ

9-9 VDC 0.7-VA-211NTC-F (ND)

	イニシヤ ライズ	特 種	興 行	特 種	△:酒 販
		△			
クロマダザン		x		(O)	
クロマダストア				O	
モリーナスサートセーフ		△		O	
DC475E-ド		x			
タイラウト					
パワーオン	O	O	O	O	
パワーオフ					
チイスフレ-バウ-セフ					
バウタイトバウ-セフ	O		△		

印は無理にイワ-オフではなく無理にイワ-オフである。

Rがパワーマネージメントをしているスタイクス情報は、個別制御部PR自体のコントロールによって入力されている。このスタイクス情報は、パワーマネージメントを実行している若者の情報や各モードの個別や各モードの処理の実行状況がコード化されている。

〔0187〕コントロール・レジスタには、クロックダウン時の制御値が入力されている。KBCに入力されるマイクロオーダーは、レジスタグループの入出力やその他のコントロールのために使われる。

【0188】電圧をコントロールするときは、KBCの個別制御部PRがS1/O(II)の個別制御部PRを通してP1/Oコントロールラの個別制御部PRに要求を出し、電圧がコントロールされる。

【0189】S1/O(II)は、常にKBCに同期して、シリアルインターフェイスし、システムのキー入力を知らせ、キー入力処理を行う。また、S1/O(II)の個別制御部PRは、KBCの個別制御部PRのもとでコン

【0190】KBCは、図3に示すようにバスと接続される。図3に示すのは非同期的な入力されるキー・ボードの信号システムに同期させ、文字/配号、数値キー等の信号化するコントローラであり、マイクロコンピュータ・ユニットが使用されることが多い。これは、ROMやRAM、I/Oポートを内蔵している。図3のシステム例では、KBCにもう一方のS1/O(II)が接続されているが、KBCと同様の状態の移行を行う。KBCからのシリアル信号をシステムとシリアルにインターフェイスする。

フェーズする。

【0191】KBCの状態の移行表は、図5のシステム全体の状態と同じであるが、他の1/コントローラを含むシステムとは、時間的に見ると変化は全く異なる。例えば、システムが実行状態にあっても、KBCは待機している時間がほとんどである。逆説的にキー入力の際には、比較的多くKBCはシステムをアクセスする。

【0192】しかし、割込優先度の高いキー入力がある

【0186】ステイタス・レジスタには、個々の状態が：

22

図-8 FMCのパワーマネージメントモード(例)

	イニシャル サイン	特徴	発行	種類	△：通帳
クロサギソウ		△			
クロササトウ		○		○	
マレーンズ・ブート・セーフ				○	
DC・パイプ・セーフ		△		○	
タイムワット		x			
パイプ・セーフ	○	○	○		
パイプ・セーフ				○	
パイプ・セーフ				○	
パイプ・セーフ	○		△		
パイプ・セーフ					

「この本は、科学の発展に貢献するものである。

【0168】電源のコントロールは、VDCの個別制御部PRがPI/コントローラの個別制御部PRに要求を出して行なわれる。

【0169】VDCは、CPUとバス接続されており、描面タイミングの選択、直線や円弧、四辺形、文字等の描面とスクロール、自動カーソル等ビデオデータのコントロールを行うコントローラである。

【0170】更に、ローカルバスには、ビデオ・ラム（以下、V-RAMと称する）がビデオアダプタの表示のために接続されるが、V-RAMのビットデータは、D-RAMから転送されるものである。このV-RAMには、D-RAMが使われるときでもあるので、D-RAMのリフレッシュ周期を有する。

【0171】D-RAMの変わりに、リフレッシュが不要な自己リフレッシュ・ラム(疑似S-RAM)を用いてもよい。

【0172】VDCは、CRTエントラフエイスに
れるか、またはリキッド・クリスタル・ディスプレイ・コ
ントローラ（以下、LCDと称する）としても使用さ
れる。この場合、LCD専用データインタフエイスコンバー
タを含んだコントローラになるが、ビデオコントラのコ
ントローラ機能は同一であり、VDCのパワーマネジメ
ント機能は異なる。この4項目を総称する。

【0173】VDCの状態の移り変りは、図5のシステムの説明で充分であるので説明を省略する。

10173】VDCの状態と内部では、時間的に異なっている。例えば、システムが実行状態に突いても、VDCは待機しているということもある。システムがデータ処理（作数演算やフィードバック等）中であっても、VDCは、非動作によって、データ処理の終了後にVDCは動作を始めるもので、待機していることがある。

動作を知らぬ以上、このようにして、V
[0174] 次に、システムの中で、各状態におけるV
DCの個別制御部PRが論理的に実行する物理的なワ
ーマネジメントの一例を表9に示す。これは、システム
マイリケーションによって異なる。

101751

【表9】

3

(13)

●-8 FMCのパワーマネージメントモード (M)

	イニシャル サイン	特徴	発行	種類	△：通帳
クロサギソウ		△			
クロササトウ		○		○	
マレーンズ・ブート・セーフ				○	
DC・パイプ・セーフ		△		○	
タイムワット		x			
パイプ・セーフ	○	○	○		
パイプ・セーフ				○	
パイプ・セーフ				○	
パイプ・セーフ	○		△		
パイプ・セーフ					

「この本は、科学の発展に貢献するものである。

【0168】電源のコントロールは、VDCの個別制御部PRがPI/コントローラの個別制御部PRに要求を出して行なわれる。

【0169】VDCは、CPUとバス接続されており、描面タイミングの選択、直線や円弧、四辺形、文字等の描面とスクロール、自動カーソル等ビデオデータのコントロールを行うコントローラである。

【0170】更に、ローカルバスには、ビデオ・ラム（以下、V-RAMと称する）がビデオアダプタの表示のために接続されるが、V-RAMのビットデータは、D-RAMから転送されるものである。このV-RAMには、D-RAMが使われるときでもあるので、D-RAMのリフレッシュ周期を有する。

【0171】D-RAMの変わりに、リフレッシュが不要な自己リフレッシュ・ラム(疑似S-RAM)を用いてもよい。

【0172】VDCは、CRTエントラフウェイに
入るか、またはリキッド・クリスタル・ディスプレイ・コ
ントローラ（以下、LCDと称する）としても使用さ
れる。この場合、LCD表示用データインタフェースコンバー
タを含んだコントローラになるが、ビデオコントラのコ
ントローラ機能は同一であり、VDCのバーナベジメ

【0173】VDCの状態の移り変りは、図5のシステムの説明で充分であるので説明を省略する。

10173】VDCの状態と関係するが、時間的に見てと異なっている。例えば、システムが実行状態にあって、VDCは待機しているということもある。システムがデータ処理（作数演算やフィードバック等）中であっても、VDCは、非動作状態より、データ処理の終了後にVDCはDCは、非動作状態によって、待機していることがある。動作を始めた後、

動作を知らぬ以上、このようにして、V
[0174] 次に、システムの中で、各状態におけるV
DCの個別制御部PRが論理的に実行する物理的なワ
ーマネジメントの一例を表9に示す。これは、システム
マイリケーションによって異なる。

101751

【表9】

3

(15)

ば、システムは常にこのキー入力を受け付け（但し、リアル・タイム・クロックを除く）、待機イベントであれば待避へ、復帰イベントであれば復帰へとシステムの状態が遷移する。

【0193】次に、システムの中で各状態におけるKB Cの個別制御部PRが論理的に実行する物理的パワーマ

表-10 KBC (SI/07) の17-24-91ントポード (部)

	イニシヤ ライズ	種類	発行	種類	△：海派
コロサタウソ		○			
コロサタソブ		△		△	
マリンズステータ				○	
DC41738-E		x		x	
タイム701		x			
147-ギン	○	○			
147-ギン					
アイズブレ-40-ギフ				x	
1473412140-ギフ	○			○	

●印は物理的バイワーオフでなく経済的バイワーオフである。

【0195】ここで、表10の各項目を説明する。

【0196】クロックダウンは、KBC内のクロック周波数を複数段階に設定してクロック周波数を下げる。ク

ロックストップは、KBC内のクロックを停止させる。
マシンステートセーブは、KBC内の状態を一時記憶さ

せる。DCバイアスモードは、KBCでは、DCバイアスモードは設定しない。なぜならば、キー入力是非同期入力であり、キー入力があったことをシステムに知らせ

なければならず、特にスペシャル・キー-SKを常に受付けなければならぬ。しかしシステムアプリケーション

によっては待機状態でのみキー入力を受け付けるシステムもあるのだ、このような場合はDCバイアスモードが

設定できる。タイムアウトは、KBCでは、このモードを設定しない。なぜならば、非同期入力であるためにキ

し、一定時間（実用的には分単位）経過すれば、他の1人分があったことを処理しなければならない。しかもコントローラの個別制御部PRがタイムアウトの際

求を出してタイムアウトになることがある。ディスプレイパワーオフは、KBCの個別制御部PRRが、PI/O

コントローラの個別制御部PRに投示の電源をコントロールすることを要求して遮断する。バックライトパワー

が進み、システムが1つのチップに集積された場合においても、CPUや他のI/Oコントローラは、このバーマネージメントシステムによって、CPUや個別のI/Oコントローラの電源を制御するように構成できる。

【0205】大規模LSI化技術によって、将来、図3のようなシステムが1つのチップに集積された場合や、

もっと進んでウエブファースケール・インテグレーション技術により、システムが集積された場合、システムの

低消費電力化がますます必要になってくる。このとき、システムはシリコンの上に集積されるが、上述した本発明の分岐パワー・マネージメント・システムによって、

CPUや個別のI/Oコントローラ、その他のメモリの電源を制御できるので、シリコン上の消費電力をシリコ

ン全体に分散させることができる。即ち、安定したシステム
の動作や大規模LSIの安定性や量産性を確保する

【0206】また、半導体の周波数は、駆動電圧に依存することができる。

作用波数を高くすることができ、駆動電圧を低くすると動作周波数を低くすることができる。上述した本発明の

分散パワー・マネージメント・システムは、電源をコントロールして駆動電圧をスイッチングしているので、フ

ル・パワー・モードとDCバイアス・モードをもつことが出来る。このことは、低消費電力化を実現させると非

に、システムの動作、非動作によって処理速度の上昇と下降を制御してシステム全体の処理速度を落すことがないようには制御することが可能になる。即ち、システム

動作中は処理速度を上げ、非動作中は処理速度を下げる
制御も可能になる。

【0207】図15は、図7に示されたパワー・コントロールのブロック図に対応したパワー制御の信号波形と

制御信号A、Bによってスイッチングされる電源の動きを示すタイミング・チャートである。

【0208】即ち、図15は、外部のパワー・コントロール部（即ち、PI/Oのパワー・コントロール・ポート）からの入出力信号によって、制御信号A、Bを合成さ

せる)を通してCPUやI/Oコントローラのそれぞれの電源をコントロールする制御信号A、Bの波形例を示す。

している。

【0209】なお、制御信号A、Bの波形はCPUやそ

れぞれのI/Oコントローラの機能的な特性やシステムによって異なる。

【0210】図16は、本発明のバニー・コントロールの第2実施例の構成を示すブロック図である。

R 自体でも電源をコントロールできるように構成されている。

【0212】図16の個別制御部PRは、図1に示す本発明のパワー・コントロールの第1実施例に対して、パ

bioRxiv preprint doi: <https://doi.org/10.1101/2019.05.20.256401>; this version posted May 20, 2019. The copyright holder for this preprint (which was not certified by peer review) is the author/funder, who has granted bioRxiv a license to display the preprint in perpetuity. It is made available under aCC-BY-NC-ND 4.0 International license.

(17)

P1/O 00000000 P1/O 00000000 P1/O 00000000 P1/O 00000000

命令名	命令記号	長さ	1/O
ロード・アサイン	CR201ビットB	CR2 (1)	1 O
ロード・アサイン	CR202ビットB	CR2 (2)	1 O
ロード・アサイン	CR203ビットB	CR2 (3)	0 x
ロード・アサイン	CR204ビットB	CR2 (4)	0 O
ロード・アサイン	CR205ビットB	CR2 (5)	1 O
ロード・アサイン	CR206ビットB	CR2 (6)	1 O
ロード・アサイン	CR207ビットB	CR2 (7)	1 O
ロード・アサイン	CR208ビットB	CR2 (8)	1 O
ロード・アサイン	CR101ビットB	CR1 (1)	0 O
ロード・アサイン	CR102ビットB	CR1 (2)	1 O
ロード・アサイン	CR103ビットB	CR1 (3)	1 O
ロード・アサイン	CR104ビットB	CR1 (4)	0 x
ロード・アサイン	CR105ビットB	CR1 (5)	0 x
ロード・アサイン	CR106ビットB	CR1 (6)	0 x
ロード・アサイン	CR107ビットB	CR1 (7)	0 x
ロード・アサイン	CR108ビットB	CR1 (8)	0 x

【0225】表12は、表11に示した図1の命令・レジスタの構成内容を示す。
【表12】
命令・レジスタCR (8ビット×2本)
(パワー・オン時に予め、プログラムで命令をセットしておく)

8	7	6	5	4	3	2	1	CR2
8	7	6	5	4	3	2	1	CR1

【0227】表13は、図1のステータス・レジスタの構成内容を示す。
【表13】

(18)

ステータス・レジスタSR (8ビット×2本)

SR3	SR2	SR1	SR0	SR7	SR6	SR5	SR4	SR3	SR2
SR1	SR0	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0

SR3, SR2, SR1 : システムの状態を示す
SR0 : マスター (主) とスレーブ (従) のスイッチ・フラグ
SR7 (SRキー入力) : Non Maskable Interrupt (マスクできない割込)
SR1 ~ SR0 : System Management Interrupt (システム管理による割込)

【0229】表14は、表13に示した状態を表すSR3, SR2, 及びSR1の具体的な内容を示す。
【表14】

SR3	SR2	SR1	各デバイスの状態
0	0	0	イニシャライズ状態
0	0	1	待機状態
0	1	0	待機状態
0	1	1	実行状態
1	0	0	未定義 (定義可能)
1	0	1	未定義 (定義可能)
1	1	0	未定義 (定義可能)
1	1	1	未定義 (定義可能)

【0231】表15は、表13に示したSR1~SR0のステータス・レジスタを示す。
【表15】

(19)

種類	PEとI/Oのスイッチ・ロジック
SW 1	VDC0SW
SW 2	PMC0SW
SW 3	SI/O (H) 0SW
SW 4	DMAC0SW
SW 5	INTC0SW
SW 6	CTC0SW
SW 7	RTC0SW
SW 8	PI/O0SW
SW 9	SI/O (I) 0SW
SW 10	KBC0SW
SW 11	CPU0SW

【0233】表16は、図1のコントロール・レジスタの構成内容を示す。
【0234】コントロール・レジスタCLR (8ビット×2本) をそれぞれ示す。
【0235】また、表17及び表18は、コントロール・レジスタのクロック・ダウン値及びタイム・アウト値をそれぞれ示す。

8	7	6	5	4	3	2	1	CLR2 (クロック・ダウン値)
8	7	6	5	4	3	2	1	CLR1 (タイム・アウト値)

それぞれの値は、プログラムでセットする。

【0236】
【表17】

(20)

	クロック・ダウン値
CLR2の1ビット目がセット	1/4倍
CLR2の2ビット目がセット	1/8倍
CLR2の3ビット目がセット	1/16倍
CLR2の4ビット目がセット	1/32倍
CLR2の5ビット目がセット	1/64倍
CLR2の6ビット目がセット	スピード・ダウン
CLR2の7ビット目がセット	スピード・フル
CLR2の8ビット目がセット	クロック・ストップ

【0237】

【表18】

	タイム・アウト値
CLR1の1ビット目がセット	4倍
CLR1の2ビット目がセット	8倍
CLR1の3ビット目がセット	16倍
CLR1の4ビット目がセット	32倍
CLR1の5ビット目がセット	64倍
CLR1の6ビット目がセット	128倍
CLR1の7ビット目がセット	256倍
CLR1の8ビット目がセット	512倍

【0238】表19及び表20は、図1のデータ・レジスタの構成内容及び具体的な命令内容をそれぞれ示す。
【0239】
【表19】

(21)

データ・レジスタDR (8ビット×2本)
(各ビットのフラッグのセットはプログラムで行い、
このデータをパワー・コントロールポートに出力する。)

8	7	6	5	4	3	2	1	DR2
8	7	6	5	4	3	2	1	DR1

[0240]

[表20]

命令名	命令記号
VDC0:パワー・コントロール	DR101ビット
PMC0:パワー・コントロール	DR102ビット
SI/O(0)0 パワー・コントロール	DR103ビット
DMAC0:パワー・コントロール	DR104ビット
INTC0:パワー・コントロール	DR105ビット
CTC0:パワー・コントロール	DR106ビット
RTC0:パワー・コントロール	DR107ビット
PI/O0:パワー・コントロール	DR108ビット
SI/O(1)0 パワー・コントロール	DR201ビット
KBC0:パワー・コントロール	DR202ビット
CPUC0:パワー・コントロール	DR203ビット
DISP:ディスプレイ・パワー・コントロール	DR204ビット
パワー・コントロール・フラッグ	DR205ビット
パワー・コントロール・フラッグ	DR206ビット
パワー・コントロール・フラッグ	DR207ビット
ディスプレイ・パワー・コントロール	DR208ビット

[0241] 表11～表20は、多様なパワー・マネージメント命令がある中でその一例であり、また各レジスタの構成内容も多様である中での一例である。
[0242] 次に、上記表11～表20、及び図20～図22のフローチャートをそれぞれ参照して、図21に示すPI/Oの個別制御PRを構成しているコマンド・レジスタCRとPI/Oの個別制御PRのパワー・マネージメントの動作がシステムアプリケーションによって種々ある中で、その一例を説明する。
[0243] まず、図9に示す並列入出力コントロール

(PI/O) を構成しているコマンド・レジスタ、第1ポート～第4ポート、第1グループ・コントロール、及び第2グループ・コントロールをそれぞれ初期化 (イニシャライズ) して (ステップS1)、図1のPI/Oの個別制御PRを構成しているコマンド・レジスタCRをF306にセットすると共に、ステータス・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ0000 (各数値はhexadecimalを意味) にセットして (ステップS2)、PI/Oの個

(22)

別制御PRをイニシャライズ状態に設定し (ステップS3)、イニシャライズが終了したか否かを判定し (ステップS4)、上記ステップS4でイニシャライズが終了していない (NO) と判定された場合には、スペシャル・キー (SKキー) の設定があったか否かを判定し (ステップS5)、上記ステップS5でSKキーの設定がない (NO) と判定された場合には、上記ステップS3に戻ってSKキーの設定があるまでルーティンを繰り返して実行し、上記ステップS5でSKキーの設定があった (YES) と判定された場合には、"マスクできない" (Non-Maskable Interrupt、以下、NMIと称する) を1にセットすると共に、マスター/スレーブのフラッグ (以下、M/Sと称する) も同時に1にセットし (ステップS6)、システムの状態を渡すSM3を0、SM2を1、及びSM1を0にそれぞれセットして (ステップS7)、"待機状態" (図14参照) を形成し (ステップS8)、処理1を実行する (ステップS9)。

[0244] ここで、図23を参照して、処理1の内容を説明する。

[0245] 図23に示すように、処理1では、コマンド・レジスタCR2の2番目のビットCR2 (2) が1であるか否か (即ちクロックをコントロールするか否か) を判定し (ステップS91)、上記ステップS91でコマンド・レジスタCR2 (2) が1である (YES) でコマンド・レジスタCR2 (2) が1である (YES) と判定された場合には、コントロール・レジスタCLR2の2番目のビットCLR2 (2) を1にセットして (ステップS92)、クロック・ダウン値を1/8倍 (図17参照) にセットして処理を終了する (ステップS93)。また、上記ステップS91でコマンド・レジスタCR2 (2) が1でない (NO) と判定された場合には、処理を終了する。

[0246] 図20に戻って、処理1を終了したならば、再びSKキーの設定があったか否かを判定し (ステップS10)、上記ステップS10でSKキーの設定がない (NO) と判定された場合には、上記ステップS8の"待機状態" に戻り、上記ステップS10でSKキーの設定があった (YES) と判定された場合には、NMI及びUM/Sをそれぞれ0にリセットし (ステップS11) 及びUM/Sをそれぞれ0にリセットし (ステップS12)、SM3、SM2、及びSM1を0に、コントロール・レジスタCLRを0000にそれぞれリセットして (ステップS12)、上記ステップS12に戻る。

[0247] 続いて、図20及び図21に示すように、上記ステップS4でイニシャライズが終了した (YES) と判定された場合には、SM3を0、SM2を0、SM1を1にそれぞれセットして (ステップS13)、"待機状態" が形成され (ステップS14)、SKキーの設定があったか否かを判定し (ステップS15)、上記ステップS15でSKキーの設定があった (YES)

と判定された場合には、NMIを1にセットすると共に、M/Sも同時に1にセットし (ステップS16)、SM3を0、SM2を1、及びSM1を0にそれぞれセットして (ステップS17)、"待機状態" (図14参照) を形成し (ステップS18)、処理2を実行する (ステップS19)。

[0248] ここで、図24を参照して、処理2の内容を説明する。

[0249] 図24に示すように、処理2では、コマンド・レジスタCR2の6目のビットCR2 (6) が1であるか否か (即ち、パワーをオフするか否か) を判定し (ステップS191)、上記ステップS191でコマンド・レジスタCR2 (6) が1である (YES) (即ちパワーをオフする) と判定された 場合には、データ・レジスタDR2の4番目のビットDR2 (4) を1にセットし (ステップS192)、ディスプレイ・パワーをオフ (図20参照) して (ステップS193)、データ・レジスタDR2の5番目のビットDR2 (5) を1にセットし (ステップS194)、バック・ライトをオフ (図20参照) する (ステップS195)。

[0250] 続いて、コマンド・レジスタCR2の5番目のビットCR2 (5) が1であるか否か (即ち、DCバイアス・モードか否か) を判定し (ステップS196)、上記ステップS196でコマンド・レジスタCR2 (5) が1である (YES) (即ちDCバイアス・モードである) と判定された場合には、データ・レジスタDRを1FFFにセットし (ステップS197)、データ・レジスタDRの内容を第1ポートに出力して (ステップS198)、DCバイアス・モードを形成する (ステップS199)。

[0251] 更に、コマンド・レジスタCR2の2番目のビットCR2 (2) が1であるか否か (即ち、クロック・コントロールか否か) を判定し (ステップS1910)、上記ステップS1910でコマンド・レジスタCR2 (2) が1である (YES) (即ちクロック・コントロールである) と判定された場合には、コントロール・レジスタCLR2の8目のビットCLR2 (8) を1にセットし (ステップS1911)、クロック・ストップ (図17参照) を形成する (ステップS1912)。

[0252] 図21に戻って、処理2を終了したならば、再びSKキーの設定があったか否かを判定し (ステップS20)、上記ステップS20でSKキーの設定があった (YES) と判定された場合には、NMI及びUM/Sをそれぞれ0にリセットし (ステップS21)、SM3及びSM2を0に、SM1を1に、コントロール・レジスタCLRを0000に、データ・レジスタDRを0000にそれぞれリセットして (ステップS22)、データ・レジスタDRの内容を第1ポートに出力して (ステップS23)、上記ステップS14に戻る。

(23)

【0253】また、上記ステップS20でSKキーの削込がない(YES)と判定された場合には、コマンド・レジスタDR1の1番目のビットCR1(1)が1であるか否か(即ち、パワー・オンか否か)を判定し(ステップS24)、上記ステップS24でCR1(1)が1でない(YES)と判定された場合には、上記ステップS18に戻り、他方、上記ステップS24でCR1(1)が1である(YES)と判定された場合には、データ・レジスタDR2の8番目のビットDR2(8)を1にセットし(ステップS25)、ディスプレイ/バックライトをオンにして(ステップS26)、上記ステップS18に戻る。

【0254】上記ステップS15でSKキーの削込がない(YES)と判定された場合には、処理3を実行する(ステップS27)。

【0255】ここで、図25を参照して、処理3を説明する。

【0256】図25に示すように、処理3では、M/Sを1にセットし(ステップS271)、"システム管理による削込"(System Management Interrupt)以下、SM1と称する)のSM11が1であるか否かを判定し(ステップS272)、上記ステップS272でSM11が1である(YES)と判定された場合には、データ・レジスタDR1の1目のビットDR1(1)を1にセット(即ち、VDCのパワー・コントロールをオン)し(ステップS273)、上記ステップS272でSM11が1でない(YES)と判定された場合には、DR1(1)を0にセットする(ステップS274)。

【0257】続いて、SM12が1であるか否かを判定し(ステップS275)、上記ステップS275でSM12が1である(YES)と判定された場合には、データ・レジスタDR1の2目のビットDR1(2)を1にセット(即ち、FMCのパワー・コントロールをオン)し(ステップS276)、上記ステップS275でSM12が1でない(YES)と判定された場合には、DR1(2)を0にセットする(ステップS277)。

【0258】以下、SM13が1であるか否かを判定し(ステップS278)、上記ステップS278でSM13が1である(YES)と判定された場合には、データ・レジスタDR1の3番目のビットDR1(3)を1にセット(即ち、S1/O(III)のパワー・コントロールをオン)し(ステップS279)、上記ステップS279でSM13が1でない(YES)と判定された場合には、DR1(3)を0にセットする(ステップS280)。

【0259】同様に、SM14が1であるか否かを判定し(ステップS281)、上記ステップS281でSM14が1である(YES)と判定された場合には、データ・レジスタDR1の4番目のビットDR1(4)を1にセット(即ち、DMACのパワー・コントロールを

をオン)し(ステップS2712)、上記ステップS2711でSM14が1でない(YES)と判定された場合には、DR1(4)を0にセットする(ステップS2713)。

【0260】SM15が1であるか否かを判定し(ステップS2714)、上記ステップS2714でSM15が1である(YES)と判定された場合には、データ・レジスタDR1の5番目のビットDR1(5)を1にセット(即ち、INTCのパワー・コントロールをオン)し(ステップS2715)、上記ステップS2715でSM15が1でない(YES)と判定された場合には、DR1(5)を0にセットする(ステップS2716)。

【0261】SM16が1であるか否かを判定し(ステップS2717)、上記ステップS2717でSM16が1である(YES)と判定された場合には、データ・レジスタDR1の6番目のビットDR1(6)を1にセット(即ち、CTCのパワー・コントロールをオン)し(ステップS2718)、上記ステップS2718でSM16が1でない(YES)と判定された場合には、DR1(6)を0にセットする(ステップS2719)。

【0262】SM17が1であるか否かを判定し(ステップS2720)、上記ステップS2720でSM17が1である(YES)と判定された場合には、データ・レジスタDR1の7番目のビットDR1(7)を1にセット(即ち、RTCのパワー・コントロールをオン)し(ステップS2721)、上記ステップS2721でSM17が1でない(YES)と判定された場合には、DR1(7)を0にセットする(ステップS2722)。

【0263】同様に、SM19が1であるか否かを判定し(ステップS2723)、上記ステップS2723でSM19が1である(YES)と判定された場合には、データ・レジスタDR2の1番目のビットDR2(1)を1にセット(即ち、S1/O(II)のパワー・コントロールをオン)し(ステップS2724)、上記ステップS2724でSM19が1でない(YES)と判定された場合には、DR2(1)を0にセットする(ステップS2725)。

【0264】SM110が1であるか否かを判定し(ステップS2726)、上記ステップS2726でSM110が1である(YES)と判定された場合には、データ・レジスタDR2の2番目のビットDR2(2)を1にセット(即ち、KBCのパワー・コントロールをオン)し(ステップS2727)、上記ステップS2727でSM110が1でない(YES)と判定された場合には、DR2(2)を0にセットする(ステップS2728)。

【0265】更に、SM111が1であるか否かを判定し(ステップS2729)、上記ステップS2729でSM111が1である(YES)と判定された場合には、データ・レジスタDR2の3番目のビットDR2(3)を1にセット(即ち、CPUのパワー・コントロールをオ

(24)

ン)し(ステップS2730)、上記ステップS2729でSM111が1でない(YES)と判定された場合には、DR2(3)を0にセットする(ステップS2731)。これらデータ・レジスタDRの内容をP1/Oの第1ポートに出力して(ステップS2732)、DCバース・モードを設定する(ステップS2733)。即ち、処理3では、SM1の要求があったデバイスのパワー・コントロールする。

【0266】図21に示すように、処理3を終了したならば、実行イベントがあるか否かを判定し(ステップS28)、上記ステップS28で実行イベントがない(YES)と判定された場合には、コマンド・レジスタCR2の1番目のビットCR2(1)が1であるか否かを更に判定し(ステップS29)、上記ステップS29でCR2(1)が1でない(YES)と判定された場合には、上記ステップS14に戻る。また、図21及び図22に示すように、上記ステップS29でCR2(1)が1である(YES)と判定された場合には、コントロール・レジスタCLR2の3番目のビットCLR2(3)を1にセットして(ステップS30)、クロック・ダウングを1/12倍に設定する(ステップS31)。

【0267】他方、上記ステップS28で実行イベントがある(YES)と判定された場合には、ステータス・レジスタSR、コントロール・レジスタCLR、及びデータ・レジスタDRをそれぞれ000にセットすると同時に、M/Sを0にセットし(ステップS32)、データ・レジスタDRの内容を第1ポートに出力し(ステップS33)、SM3を0に、SM2を1に、SM1を1にそれぞれセットし(ステップS34)、実行状態を形成し(ステップS35)、プリント命令があるか否かを判定し(ステップS36)、上記ステップS36でプリント命令がない(YES)と判定された場合には、SKキーの削込があるか否かを判定し(ステップS37)、上記ステップS37でSKキーの削込がある(YES)と判定された場合には、NM1及びM/Sをそれぞれ1にセットし(ステップS38)、SM3を0に、SM2を1に、そしてSM1を0にそれぞれセットし(ステップS39)、待機状態を形成して(ステップS40)、処理4を実行する(ステップS41)。

【0268】ここで、図26を参照して、処理4を説明する。

【0269】図26の処理4では、コマンド・レジスタCR2の7番目のビットCR2(7)が1であるか否かを判定し(ステップS411)、上記ステップS411でCR2(7)が1である(YES)と判定された場合には、データ・レジスタDR2の4番目のビットDR2(4)を1にセットし(ステップS412)、ディスプレイのパワーをオンに設定し(ステップS413)、コマンド・レジスタCRの8番目のビットCR2(8)が1であるか否かを判定し(ステップS414)、上記ス

テップS414でCR2(8)が1である(YES)と判定された場合には、データ・レジスタDR2の5番目のビットDR2(5)を1にセットし(ステップS415)、バック・ライトのパワーをオンに設定し(ステップS416)、コマンド・レジスタCR2の5番目のビットCR2(5)が1であるか否かを判定し(ステップS417)、上記ステップS417でCR2(5)が1である(YES)と判定された場合には、データ・レジスタDRを1FFFにセットし(ステップS418)、データ・レジスタDRの内容を第1ポートに出力し(ステップS419)、DCバース・モードを設定し(ステップS4110)、コマンド・レジスタCR2の1番目のビットCR2(1)が1であるか否かを判定し(ステップS4111)、上記ステップS4111でCR2(1)が1である(YES)と判定された場合には、コントロール・レジスタCLR2の2番目のビットCLR2(2)を1にセットして(ステップS4112)、クロック・ダウングを1/8倍に設定する(ステップS4113)。

【0270】図22に戻って、処理4を実行したならば、再びSKキーの削込があったか否かを判定し(ステップS42)、上記ステップS42でSKキーの削込があった(YES)と判定された場合には、NM1及びM/Sをそれぞれ0にそれぞれセットし(ステップS43)、コントロール・レジスタCLRを000に、データ・レジスタDRを000にそれぞれセットして(ステップS44)、上記ステップS33に戻る。また、上記ステップS42でSKキーの削込がない(YES)と判定された場合には、上記ステップS40に戻る。

【0271】上記ステップS37で、SKキーの削込がない(YES)と判定された場合には、処理5を実行する(ステップS45)。

【0272】ここで、図27を参照して、処理5を説明する。

【0273】図27の処理5では、M/Sを1にセットし(ステップS451)、SM11が1であるか否かを判定し(ステップS452)、上記ステップS452でSM11が1である(YES)と判定された場合には、データ・レジスタDR1の1番目のビットDR1(1)を1にセット(即ち、VDCのパワー・コントロールをオン)し(ステップS453)、上記ステップS452でSM11が1でない(YES)と判定された場合には、DR1(1)を0にセットする(ステップS454)。

【0274】SM12が1であるか否かを判定し(ステップS455)、上記ステップS455でSM12が1である(YES)と判定された場合には、データ・レジスタDR1の2番目のビットDR1(2)を1にセット(即ち、FMCのパワー・コントロールをオン)し(ステップS456)、上記ステップS456でSM12が1でない(YES)と判定された場合には、DR1(2)を0に

(25)

を0にセットする (ステップS457)。

【0275】SM13が1であるか否かを判定し (ステップS458)、上記ステップS458でSM13が1である (YES) と判定された場合には、データ・レジスタDR1の3番目のビットDR1 (3) を1にセット (即ち、S1/O (1) のパワー・コントロールをオン) し (ステップS459)、上記ステップS458でSM13が1でない (NO) と判定された場合には、DR1 (3) を0にセットする (ステップS4510)。

【0276】同様に、SM14が1であるか否かを判定し (ステップS4511)、上記ステップS4511でSM14が1である (YES) と判定された場合には、データ・レジスタDR1の4番目のビットDR1 (4) を1にセット (即ち、DMACのパワー・コントロールをオン) し (ステップS4512)、上記ステップS4511でSM14が1でない (NO) と判定された場合には、DR1 (4) を0にセットする (ステップS4513)。

【0277】SM15が1であるか否かを判定し (ステップS4514)、上記ステップS4514でSM15が1である (YES) と判定された場合には、データ・レジスタDR1の5番目のビットDR1 (5) を1にセット (即ち、INTCのパワー・コントロールをオン) し (ステップS4515)、上記ステップS4514でSM15が1でない (NO) と判定された場合には、DR1 (5) を0にセットする (ステップS4516)。

【0278】SM16が1であるか否かを判定し (ステップS4517)、上記ステップS4517でSM16が1である (YES) と判定された場合には、データ・レジスタDR1の6番目のビットDR1 (6) を1にセット (即ち、CTCのパワー・コントロールをオン) し (ステップS4518)、上記ステップS4517でSM16が1でない (NO) と判定された場合には、DR1 (6) を0にセットする (ステップS4519)。

【0279】SM17が1であるか否かを判定し (ステップS4520)、上記ステップS4520でSM17が1である (YES) と判定された場合には、データ・レジスタDR1の7番目のビットDR1 (7) を1にセット (即ち、RTCのパワー・コントロールをオン) し (ステップS4521)、上記ステップS4520でSM17が1でない (NO) と判定された場合には、DR1 (7) を0にセットする (ステップS4522)。

【0280】同様に、SM19が1であるか否かを判定し (ステップS4523)、上記ステップS4523でSM19が1である (YES) と判定された場合には、データ・レジスタDR2の1番目のビットDR2 (1) を1にセット (即ち、S1/O (1) のパワー・コントロールをオン) し (ステップS4524)、上記ステップS4523でSM19が1でない (NO) と判定された場合には、DR2 (1) を0にセットする (ステップ

S4525)。

【0281】SM110が1であるか否かを判定し (ステップS4526)、上記ステップS4526でSM110が1である (YES) と判定された場合には、データ・レジスタDR2の2番目のビットDR2 (2) を1にセット (即ち、KBCのパワー・コントロールをオン) し (ステップS4527)、上記ステップS4526でSM110が1でない (NO) と判定された場合には、DR2 (2) を0にセットする (ステップS4528)。

【0282】同様に、SM111が1であるか否かを判定し (ステップS4529)、上記ステップS4529でSM111が1である (YES) と判定された場合には、データ・レジスタDR2の3番目のビットDR2 (3) を1にセット (即ち、CPUのパワー・コントロールをオン) し (ステップS4530)、上記ステップS4529でSM111が1でない (NO) と判定された場合には、DR2 (3) を0にセットする (ステップS4531)。

【0283】同様に、SM112が1であるか否かを判定し (ステップS4532)、上記ステップS4532でSM112が1である (YES) と判定された場合には、データ・レジスタDR2の4番目のビットDR2 (4) を1にセット (即ち、DMAのパワー・コントロールをオン) し (ステップS4533)、上記ステップS4532でSM112が1でない (NO) と判定された場合には、DR2 (4) を0にセットする (ステップS4534)。

【0284】同様に、SM113が1であるか否かを判定し (ステップS4535)、上記ステップS4535でSM113が1である (YES) と判定された場合には、データ・レジスタDR2の5番目のビットDR2 (5) を1にセット (即ち、DMAのパワー・コントロールをオン) し (ステップS4536)、上記ステップS4535でSM113が1でない (NO) と判定された場合には、DR2 (5) を0にセットする (ステップS4537)。

【0285】同様に、SM114が1であるか否かを判定し (ステップS4538)、上記ステップS4538でSM114が1である (YES) と判定された場合には、データ・レジスタDR2の6番目のビットDR2 (6) を1にセット (即ち、DMAのパワー・コントロールをオン) し (ステップS4539)、上記ステップS4538でSM114が1でない (NO) と判定された場合には、DR2 (6) を0にセットする (ステップS4540)。

【0286】同様に、SM115が1であるか否かを判定し (ステップS4541)、上記ステップS4541でSM115が1である (YES) と判定された場合には、データ・レジスタDR2の7番目のビットDR2 (7) を1にセット (即ち、DMAのパワー・コントロールをオン) し (ステップS4542)、上記ステップS4541でSM115が1でない (NO) と判定された場合には、DR2 (7) を0にセットする (ステップS4543)。

【0287】同様に、SM116が1であるか否かを判定し (ステップS4544)、上記ステップS4544でSM116が1である (YES) と判定された場合には、データ・レジスタDR2の8番目のビットDR2 (8) を1にセット (即ち、DMAのパワー・コントロールをオン) し (ステップS4545)、上記ステップS4544でSM116が1でない (NO) と判定された場合には、DR2 (8) を0にセットする (ステップS4546)。

(26)

タDRを0000にそれぞれセットし (ステップS54) 、データ・レジスタDRの内容を第1ポートに出力し (ステップS55) 、SM3を0に、SM2を0に、SM1を1にそれぞれセットし (ステップS56) 、上述したステップS14に戻る。

【0284】図28は、図7の第1実施例と図18の第2実施例を結合させた構成を示しており、各構成部分や動作は第1実施例及び第2実施例にそれぞれ対応しているもので説明を省略する。

【0285】図29は、本発明のパワー・コントロールの第4実施例の構成を示すブロック図である。

【0286】図29の実施例は、CPUや各1/Oポート (I/O) のコントロールに個別制御PRを持たないで、外部に設けられた通常よく知られているマイクロコンピュータを用いて、電源コントロールやクロック周波数を制御 (コントロール) してパワー・コントロールする構成を示す。

【0287】図29の構成は、図7及び図28の構成と同様であるが、パワー・コントロールの部分にマイクロコンピュータが構成されている。

【0288】マイクロコンピュータ・ユニット (MCU) には、リード・オンリ・メモリ (ROM) 、ランダム・アクセス・メモリ (RAM) 、算術論理演算装置 (ALU) 、レジスタRE、I/Oポートが内蔵されている。

【0289】この実施例では、P1/Oの第1ポートからパワー・コントロール入力信号があることをマイクロコンピュータのROMに記憶されているプログラム命令によってマイクロコンピュータが検出すれば、レジスタREの中で割り付けられたデータ・レジスタにCPUや各1/Oポートのパワー・コントロール・ビットを設定 (セット) して、このデータ・レジスタの内容をマイクロコンピュータのI/Oポートに出力して、システムの電源を制御するように構成されている。

【0290】また、クロック周波数のコントロールに、マイクロコンピュータのI/Oポートから出力されるクロック・コントロール信号によって行われるが、図29に示すように、2つの出力信号を用いるときは、4段階のクロック周波数を設定することが可能である。例えばクロック・コントロール信号 (c2, c1) が (0, 0) のときには16MHz、(0, 1) のときには8MHz、(1, 0) のときには4MHz、(1, 1) のときには2MHzのように設定できる。

【0291】クロック周波数のコントロールは、電源コントロールと同じようにP1/Oからの入力信号をマイクロコンピュータが検出して行われる。

【0292】マイクロコンピュータのROMに記憶されたプログラム命令によって入力信号を検出する方法は、よく知られた方法であり、また、クロック・コントロール信号c2やクロック・コントロール信号c1によ

てクロック周波数をコントロールする回路は、通常の方法で実現できるので特に図示しない。

【0293】マイクロコンピュータに供給される電源は、システムの動作中において常にP1/Oからの入力信号を監視 (WATCH) していない必要はないので、電源の電圧VCCが供給される。

【0294】図30は、本発明のパワー・コントロールの第5実施例の構成を示すブロック図である。

【0295】図30の構成は、図29に示す構成と同様であるが、電力コントロール回路PRの構成が異なる。図30の構成では、CPUや各1/Oポートに個別制御PRを持たないで、マイクロコンピュータを外部に設けて電源コントロールやクロック周波数をコントロールして、パワー・コントロールするように構成されている。

【0296】この実施例では、P1/Oの第1ポートからパワー・コントロール入力信号があることをマイクロコンピュータのROMに記憶されているプログラム命令によってマイクロコンピュータが検出すれば、レジスタREの中で割り付けられたデータ・レジスタにCPUや各1/Oポートのパワー・コントロール・ビットを設定 (セット) して、このデータ・レジスタの内容をマイクロコンピュータのI/Oポートに出力して、システムの電源を制御するように構成されている。

【0297】即ち、図30の構成では、CPUや各1/Oポートからパワー・コントロール入力信号があることをマイクロコンピュータが検出して行われる。

【0298】クロック周波数のコントロールは図29の場合と同様に、マイクロコンピュータのI/Oポートから出力されるクロック・コントロール信号によって行われて、2つの出力信号を用いるときは、4段階のクロック周波数を設定することが可能である。例えばクロック・コントロール信号 (c2, c1) が (0, 0) のときには16MHz、(0, 1) のときには8MHz、(1, 0) のときには4MHz、(1, 1) のときには2MHzのように設定できる。

【0299】クロック周波数のコントロールは、電源コントロールと同じようにP1/Oからの入力信号をマイクロコンピュータが検出して行われる。

【0300】マイクロコンピュータのROMに記憶されたプログラム命令によって入力信号を検出する方法は、よく知られた方法であり、また、クロック・コントロール信号c2やクロック・コントロール信号c1によってクロック周波数をコントロールする回路は、通常の方法で実現できるので特に図示しない。

【0301】マイクロコンピュータに供給される電源は、システムの動作中において常にP1/Oからの入力信号を監視 (WATCH) していない必要はないので、電源の電圧VCCが供給される。

【0302】上述した図29や図30に示す構成におい

(27)

て、システム・アプリケーションによっては、CPUや各I/Oコントローラの個々の電源を制御する方法と、個々の電源を制御しないであって共通電源にして制御する方法を組み合わせて、単一のマイクロコンピュータによってパワーコントロールすることも可能である。

[0303] 図31は、本発明のワー・コントロールの第6実施例の構成を示すブロック図である。

[0304] 図31は、図7に示す構成と同様であるが、CPU、PI/O、SI/O、...、FMC、VDCのそれぞれが個別制御部PRを備えている場合の構成を示す。

[0305] 図31の構成による動作は、図7の構成による動作と多岐異なるが、CPU等がそれぞれ個別制御部PRを持つている図3の構成による動作と同様なので、ここでは説明を省略する。

[0306] なお、図17のクロック・ダウン回路18のタイマ・アウト値を設定する制御回路は、知られている方法で実現できるので特に図示していない。また、図20に示されるワー・コントロール定値可能なフラグによるワー・コントロールの制御回路も容易に実現できるので、図示していない。

[0307] 第1実施例では、PI/OのSM18を抜出す例を示していないが、第2実施例のように、CPUやI/Oコントローラ自体でワー・コントロールする制御では、PI/Oの個別制御部PRがSM18を抜出して、PI/OのD/Cバイアス・モードを設定する。

[0308]

[発明の効果] 第1発明のデジタル電子機器用電力制御装置は、符号化された電力マネージメント命令を復号して駆動すると共に復号された電力マネージメント命令に基づいて制御信号を出力する制御手段を備えているので、効率よくデジタル電子機器の電力を制御できる。

[0309] 第2発明のデジタル電子機器用電力制御装置を備えた処理装置は、電源を所定のモードに設定して駆動されたモードに基づいて入出力を制御して消費電力を低減するので、効率よく処理装置毎に個々に電力を制御できる。

[0310] 第3発明のデジタル電子機器用電力管理システムは、処理装置の複数の電力を所定の方法により制御してシステム全体の消費電力を低減するので、システム全体の電力を個々に制御して、自由度が高いデジタル電子機器用電力管理システムを構成でき、その結果、各構成部分で極めて細かくパワー・マネージメントを行ってシステム全体の消費電力を大きく低減できる。

[0311] 本発明の処理装置は、外部に設けられたマイクロ・コンピュータにより電源またはクロック周波数を制御して電力消費を低減させるので、効率よく処理装置毎に個々に電力を制御できる。

[0312] 本発明のデジタル電子機器用電力管理システムは、デジタル電子機器用電力制御装置が複数のプロ

グラム命令を有しており、デジタル電子機器用電力制御装置がシステムを構成する中央処理装置及び各種入出力コントローラの全てまたは一部に備えられており、デジタル電子機器用電力制御装置の複数のプログラム命令に基づいて中央処理装置及び各種入出力コントローラの電力制御を行ってシステム全体の電力消費を低減するので、システム全体の電力を個々に制御して、自由度が高いデジタル電子機器用電力管理システムを構成でき、その結果、各構成部分で極めて細かくパワー・マネージメントを行ってシステム全体の消費電力を大きく低減できる。

[図面の簡単な説明]

[図1] 本発明のデジタル電子機器用電力管理装置の一実施例である個別制御部の構成を示すブロック図である。

[図2] 図1の個別制御部の動作を説明するためのフローチャートである。

[図3] 図1の個別制御部を備えたシステムの一構成例を示すブロック図である。

[図4] 電源がフル・パワー及びD/Cバイアスに変化したときの電源の動作を示す説明図。

[図5] 図3のシステムの状態図である。

[図6] 電源コントロール回路を用いたシステムの一構成例を示すブロック図である。

[図7] 図6の電源コントロール回路を用いたシステムの一構成例を示すブロック図である。

[図8] 図7のCPU部分の一構成例を示す説明図である。

[図9] 図1の個別制御部を有する並列入出力コントローラの一構成例を示すブロック図である。

[図10] 図9のコントローラに対応する個別制御部のレジスタの一構成例を示すブロック図である。

[図11] 図9及び図10の並列入出力コントローラの状態図である。

[図12] 図1の個別制御部を有する中央処理装置(CPU)の一構成例を示すブロック図である。

[図13] 図12のCPUに対応する個別制御部のレジスタの一構成例を示すブロック図である。

[図14] 図12及び図13のCPUの状態図である。

[図15] 図7に示されたワー・コントロールのブロック図に対応したパワー制御の信号線と制御信号A、Bによってスイッチングされる電源の動作を示すタイミング・チャートである。

[図16] 本発明のワー・コントロールの第2実施例であり個別制御部自体でも電源をコントロールできる構成を示す個別制御部のブロック図である。

[図17] 図16の実例の動作を説明するためのタイミング・チャートである。

[図18] 個別制御部自体でパワー制御を行うときのシステムの一構成例を示すブロック図である。

[図19] 図18のCPU部分の一構成例を示す説明図

(28)

である。

[図20] 図1のPI/Oを構成する個別制御部の動作を説明するための第1のフローチャートである。

[図21] 図1のPI/Oを構成する個別制御部の動作を説明するための第2のフローチャートである。

[図22] 図1のPI/Oを構成する個別制御部の動作を説明するための第3のフローチャートである。

[図23] 図20の処理1を説明するためのフローチャートである。

[図24] 図21の処理2を説明するためのフローチャートである。

[図25] 図21と図23の処理3を説明するためのフローチャートである。

[図26] 図22の処理4を説明するためのフローチャートである。

[図27] 図22の処理5を説明するためのフローチャートである。

[図28] 本発明のワー・コントロールの第3実施例である第1実施例及び第2実施例を組合わせた構成を示すブロック図である。

[図29] 本発明のワー・コントロールの第4実施例の構成を示すブロック図である。

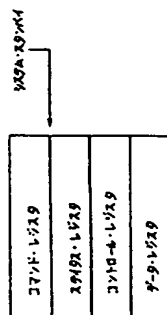
[図30] 本発明のワー・コントロールの第5実施例の構成を示すブロック図である。

[図31] 本発明のワー・コントロールの第6実施例の構成を示すブロック図である。

[符号の説明]

10 リードオンリメモリ (ROM)
11 プログラム記憶部
12 アドレスカウンタ
13 制御命令レジスタ
14 制御命令デコーダ
15 レジスタ・グループ

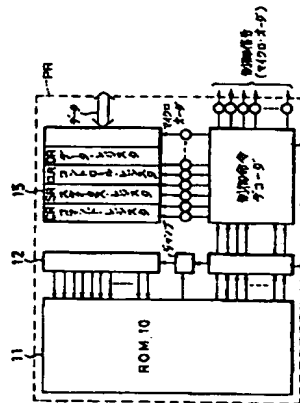
[図10]



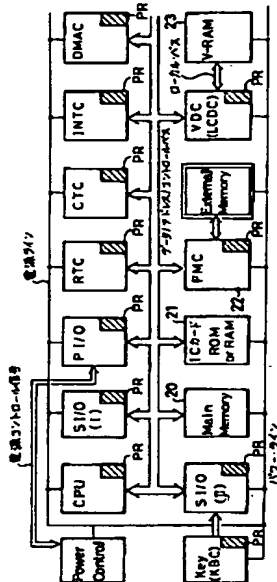
[図13]



[図11]

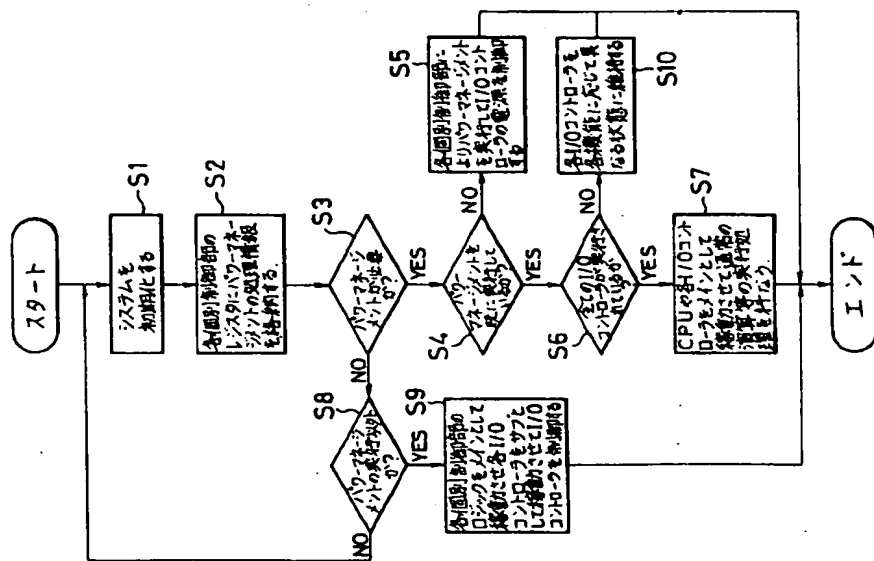


[図3]

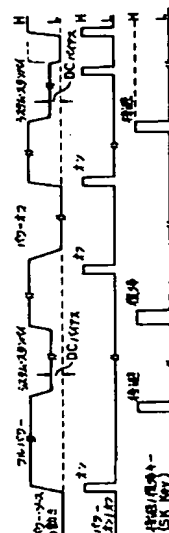


(29)

【图2】

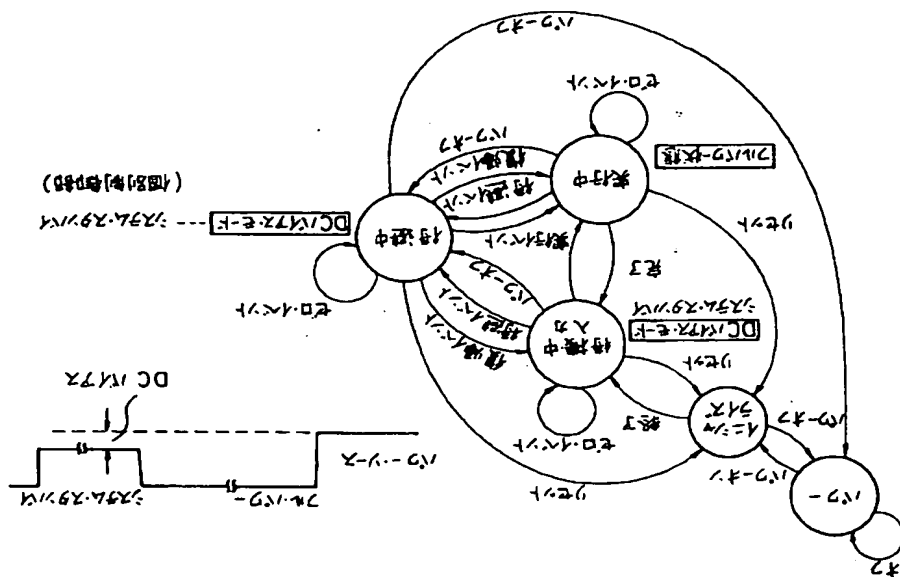


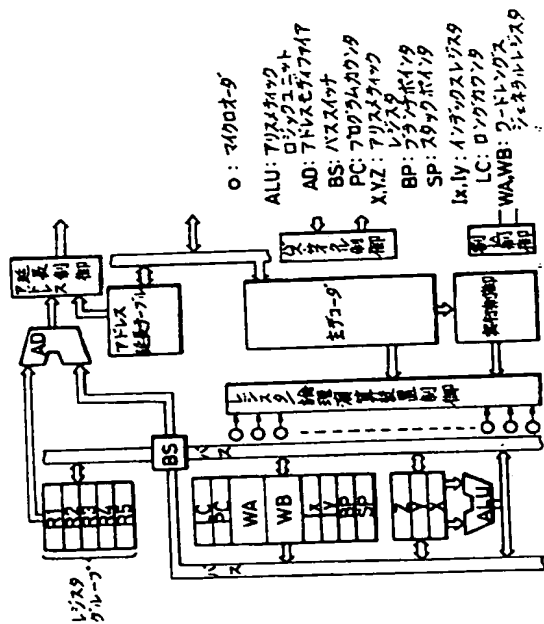
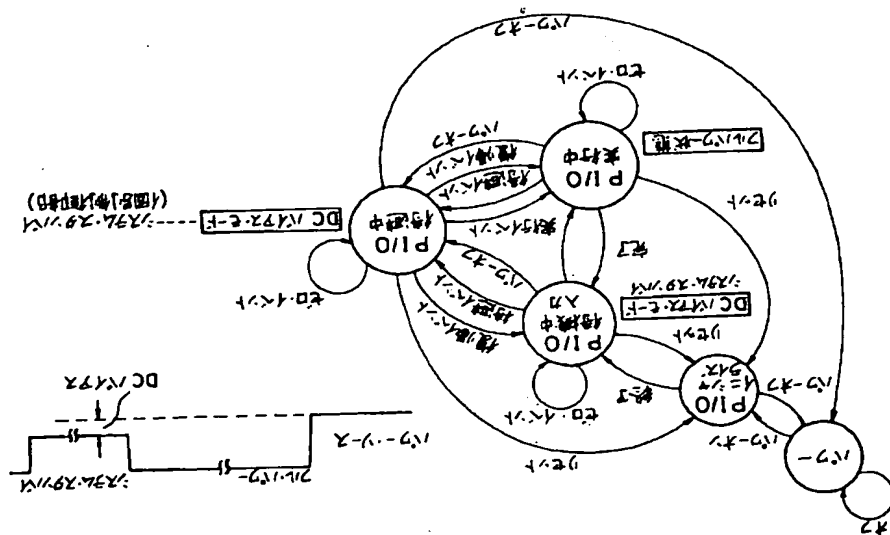
【图4】



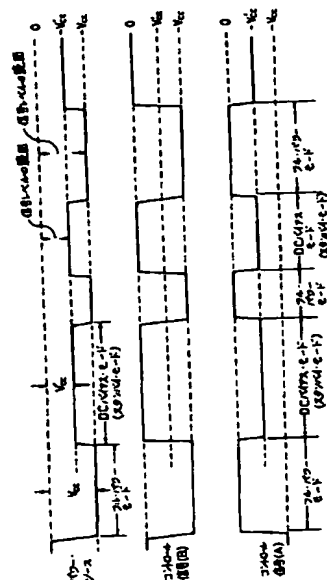
【例5】

(30)



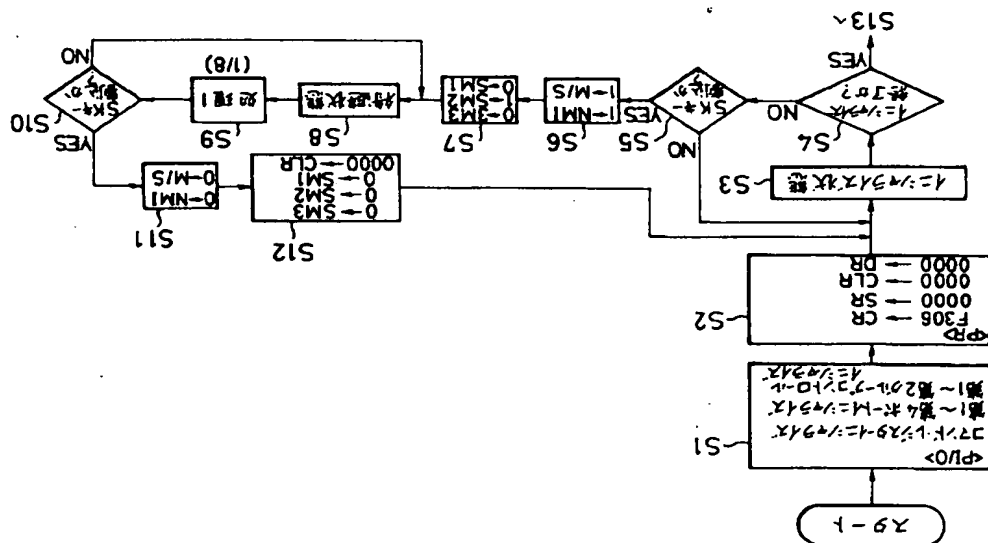


【图17】



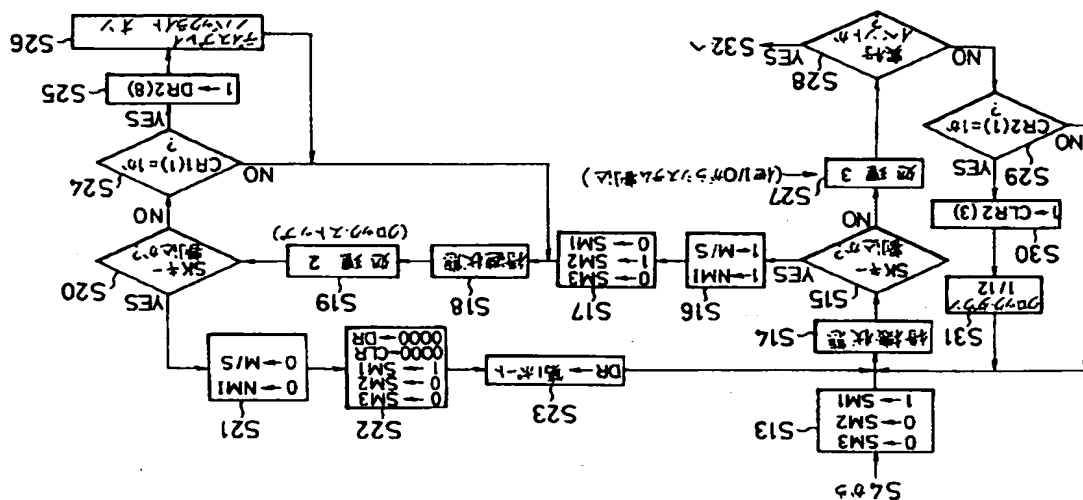
(37)

【図20】



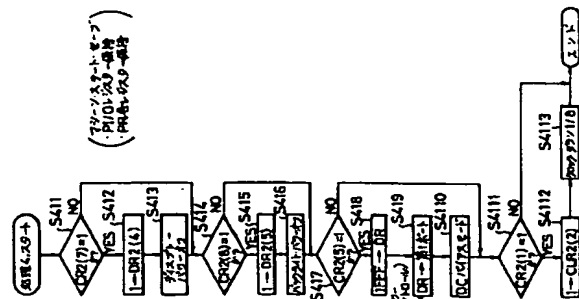
(38)

【図21】

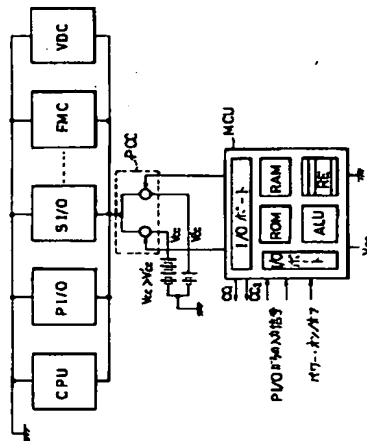


(41)

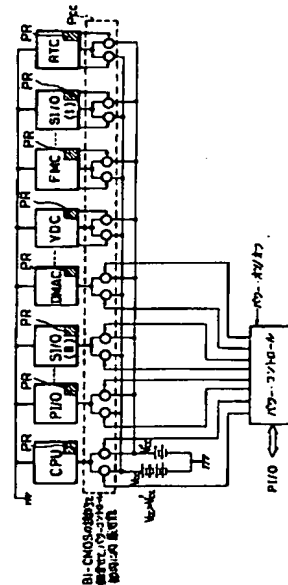
【図26】



【図30】

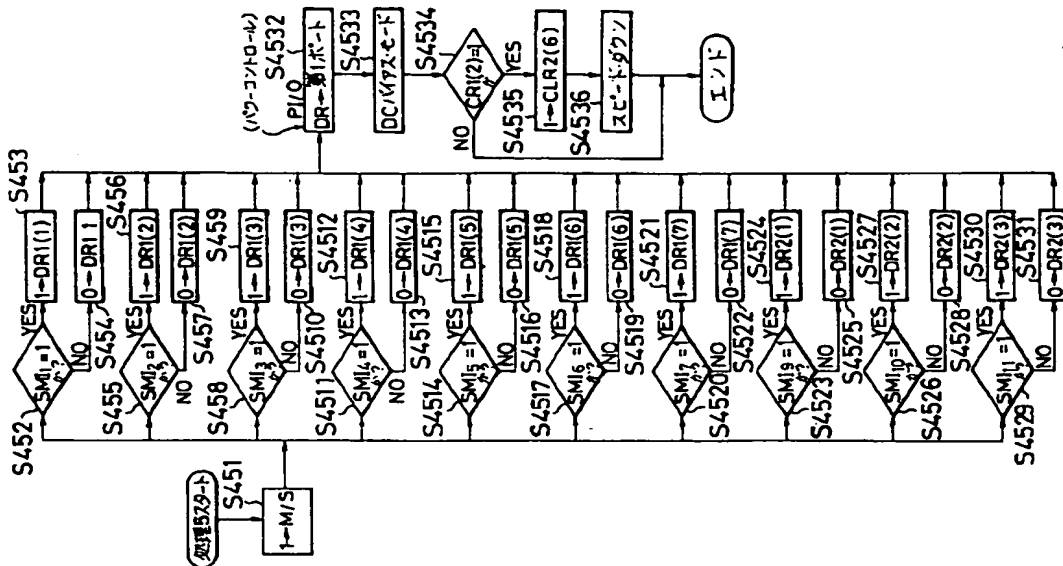


【図28】

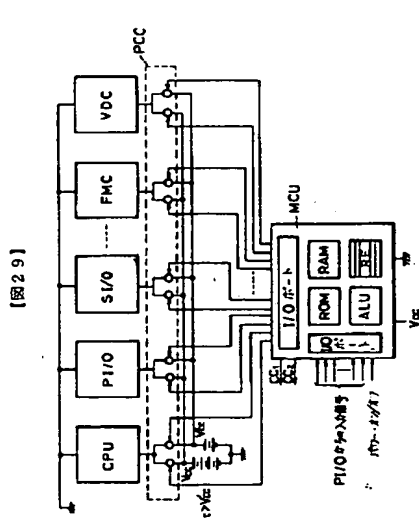


(42)

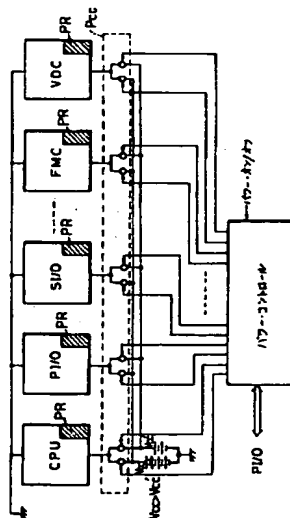
【図27】



(43)



【図29】



【図31】

【手続補正1】

【発出日】平成6年5月23日

【手続補正2】

【手続補正3】

【手続補正4】

【手続補正5】

【手続補正6】

【手続補正7】

【手続補正8】

【手続補正9】

【手続補正10】

【手続補正11】

【手続補正12】

【手続補正13】

【手続補正14】

【手続補正15】

【手続補正16】

【手続補正17】

【手続補正18】

【手続補正19】

【手続補正20】

【手続補正21】

【手続補正22】

【手続補正23】

【手続補正24】

【手続補正25】

【手続補正26】

【手続補正27】

【手続補正28】

【手続補正29】

【手続補正30】

【手続補正31】

【手続補正32】

【手続補正33】

【手続補正34】

(44)

【補正対象項目名】0305

【補正方法】変更

【補正内容】

【0305】図31の構成による動作は、図7の構成による動作と多少異なるが、CPU等がそれぞれ個別制御で、ここでは説明を省略する。図34は、図3に示されるシステムを図31に示すようにパワーコントロールポートでパワー制御を行うようにしたものである。

【手続補正4】

【補正対象項目名】明細書

【補正対象項目名】図32

【補正方法】追加

【補正内容】

【図32】個別制御部によって分散的にパワーマネージメントされるシステムのLSI化を示すブロック図である。

【手続補正5】

【補正対象項目名】明細書

【補正対象項目名】図33

【補正方法】追加

【補正内容】

【図33】個別制御部によって分散的にパワーマネージメントされるシステムのLSI化を示す他のブロック図である。

【手続補正6】

【補正対象項目名】明細書

【補正対象項目名】図34

【補正方法】追加

【補正内容】

【図34】個別制御部によって分散的にパワーマネージメントされるシステムのLSI化を示す他のブロック図である。

【手続補正7】

【補正対象項目名】図面

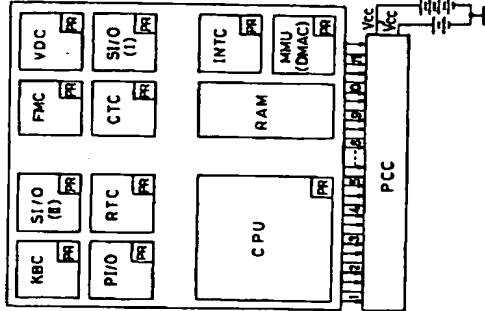
【補正対象項目名】図32

【補正方法】追加

【補正内容】

【図32】

図32



【手続補正8】

【補正対象項目名】図面

【補正対象項目名】図33

【補正方法】追加

【補正内容】

【図33】

(45)

図 38 【補正内容】

【図 34】

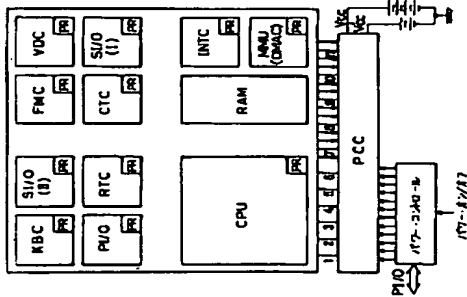
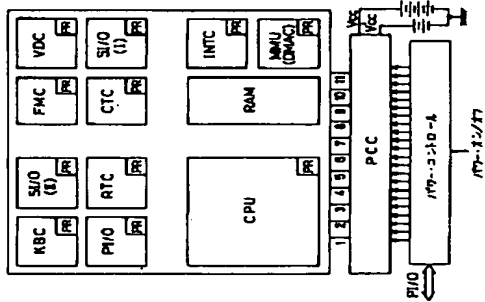


図 34



【手続補正 9】

【補正対象書類名】 図面

【補正対象項目名】 図 34

【補正方法】 追加

フロントページの続き

(51) Int. Cl. 5

識別記号 7165-5B

内部整理番号 1/00

3 3 2 Z

技術表示箇所